

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-132978

(P2000-132978A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl.<sup>7</sup>

G 1 1 C 15/04

識別記号

6 0 1

F I

G 1 1 C 15/04

テーマコード (参考)

6 0 1 A

審査請求 有 請求項の数17 OL (全 9 頁)

(21) 出願番号

特願平10-308121

(22) 出願日

平成10年10月29日 (1998.10.29)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外1名)

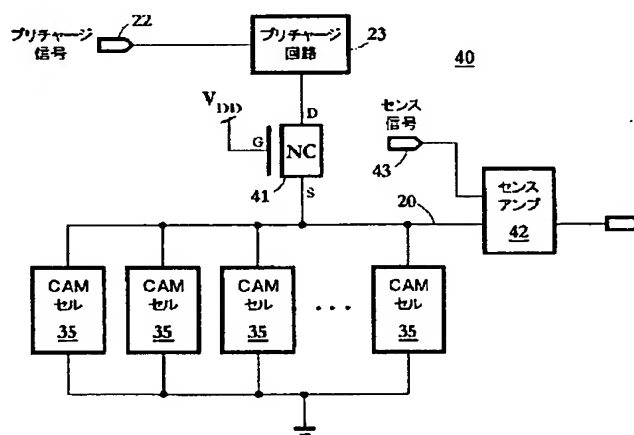
最終頁に続く

(54) 【発明の名称】 連想メモリ (CAM)

(57) 【要約】

【課題】 連想メモリ (CAM) セルおよびCAM回路の高速化および低消費電力化を図る。

【解決手段】 ワードマッチライン20と、ワードマッチラインに並列接続された複数の連想メモリ (CAM) セル35と、ワードマッチライン20を充電するための充電回路21と、充電回路と前記ワードマッチラインとの間に設けられた電圧制御用デバイス41と、を含む連想メモリ (CAM) 回路40が提供される。



## 【特許請求の範囲】

【請求項1】 インバータの出力を他方のインバータの入力に互いに接続したインバータ対と、前記インバータ対の各インバータの出力と一対のビットラインとの間に設けられ、接続されたワードライン上の信号に応じてオン、オフする一対の第1および第2スイッチと、前記一対のビットラインとビットマッチノードとの間に設けられ、前記インバータ対の各インバータの出力信号によってオン、オフする一対の第3および第4スイッチと、ワードマッチラインと前記ビットマッチノードとに接続され、前記ビットマッチノードの電位によってオン、オフし、前記ワードマッチラインを放電するための第5スイッチと、を含む連想メモリ（CAM）セルであって、第5スイッチが前記ビットマッチノードの電位が低い場合にオンし高い場合にオフすることを特徴とするCAMセル。

【請求項2】 前記第5スイッチがP型トランジスタからなることを特徴とする請求項1記載のCAMセル。

【請求項3】 前記インバータがCMOSトランジスタからなり、前記第1から第4までのスイッチがNMOSトランジスタからなり、前記第5スイッチがPMOSトランジスタからなることを特徴とする請求項2記載のCAMセル。

【請求項4】 ワードマッチラインと、前記ワードマッチラインに並列接続された複数の連想メモリ（CAM）セルとを含む連想メモリ（CAM）ワード回路であって、前記CAMセルは、インバータの出力を他方のインバータの入力に互いに接続したインバータ対と、前記インバータ対の各インバータの出力と一対のビットラインとの間に設けられ、接続されたワードライン上の信号に応じてオン、オフする一対の第1および第2スイッチと、前記一対のビットラインとビットマッチノードとの間に設けられ、前記インバータ対の各インバータの出力信号によってオン、オフする一対の第3および第4スイッチと、ワードマッチラインと前記ビットマッチノードとに接続され、前記ビットマッチノードの電位によってオン、オフし、前記ワードマッチラインを駆動するための第5スイッチと、を含み、さらに、第5スイッチが前記ビットマッチノードの電位が低い場合にオンし、高い場合にオフすることを特徴とする、CAMワード回路。

【請求項5】 前記第5スイッチがP型トランジスタからなることを特徴とする請求項4記載のCAMワード回路。

【請求項6】 前記インバータがCMOSトランジスタからなり、前記第1から第4までのスイッチがNMOSトランジスタからなり、前記第5スイッチがPMOSトランジスタからなることを特徴とする請求項5記載のCAMワード回路。

【請求項7】 さらに、前記ワードマッチラインをプリチャージするための充電回路と、前記充電回路と前記ワードマッチラインとの間に設けられた電圧制限用デバイスと、を含む請求項4記載のCAMワード回路。

【請求項8】 さらに、前記ワードマッチライン上に設けられ、前記ワードマッチライン上の信号を検出し増幅するためのセンスアンプ回路を含む、請求項7記載のCAMワード回路。

【請求項9】 前記電圧制限用デバイスがMOSトランジスタからなる請求項7記載のCAMワード回路。

【請求項10】 ワードマッチラインと、前記ワードマッチラインに並列接続された複数の連想メモリ（CAM）セルと、

前記ワードマッチラインを充電するための充電回路と、前記充電回路と前記ワードマッチラインとの間に設けられたスイッチと、を含む連想メモリ（CAM）ワード回路。

【請求項11】 前記スイッチがMOSトランジスタからなる請求項10記載のCAMワード回路。

【請求項12】 前記CAMセルは、インバータの出力を他方のインバータの入力に互いに接続したインバータ対と、前記インバータ対の各インバータの出力と一対のビットラインとの間に設けられ、接続されたワードライン上の信号に応じてオン、オフする一対の第1および第2スイッチと、前記一対のビットラインとビットマッチノードとの間に設けられ、前記インバータ対の各インバータの出力信号によってオン、オフする一対の第3および第4スイッチと、

ワードマッチラインと前記ビットマッチノードとに接続され、前記ビットマッチノードの電位によってオン、オフし、前記ワードマッチラインを駆動するための第5スイッチと、を含むCAMセルであって、第5スイッチが前記ビットマッチノードの電位が低い場合にオンし、高い場合にオフすることを特徴とするCAMセルからなる請求項10記載のCAMワード回路。

【請求項13】 前記第5スイッチがP型トランジスタからなることを特徴とする請求項12記載のCAMワード回路。

【請求項14】 前記インバータがCMOSトランジスタからなり、前記第1から第4までのスイッチがNMOSトランジスタからなり、前記第5スイッチがPMOS

トランジスタからなることを特徴とする請求項13記載のCAMワード回路。

【請求項15】 さらに、前記ワードマッチライン上に設けられ、前記ワードマッチライン上の信号を検出し増幅するためのセンスアンプ回路を含む、請求項10記載のCAMワード回路。

【請求項16】 前記センスアンプ回路が、インバータの出力を他方のインバータの入力に互いに接続したインバータ対と、前記インバータ対の各インバータのNチャンネル側またはPチャンネル側のソースにドレインが接続され、ソースは共通ノードとして定電流源に接続され、ゲートの一方に前記ワードマッチラインが接続され、ゲートの他方に参照電位が接続されるセンス用トランジスタと、を含む請求項8または15記載のCAMワード回路。

【請求項17】 前記ゲートにワードマッチラインが接続されたセンス用トランジスタの駆動力は前記ゲートに参照電位が接続されたセンス用トランジスタの駆動力よりも大きいことを特徴とする請求項16記載のCAMワード回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的には、連想（内容アクセス）メモリ（CAM: Content Addressable Memory）に関し、さらに詳しく言えば、CAMセル、複数のCAMセルからなるCAMワードとそれに付随するワードマッチラインの構成（以下、本明細書では「CAMワード回路」と呼ぶ）に関する。

【0002】

【従来の技術】 CAMは検索データと一致している記憶データを検索し、一致しているデータを記憶している場所を示すアドレス等の、一致データと関連付けられた情報を読み出すことができるメモリである。半導体技術の進歩と共に、CAMもより高密度で高速アクセスができ、かつ低消費電力なものが求められている。

【0003】 図1は従来のスタティック型のCAMセルの例（「CMOS VLSI設計の原理」p. 310から抜粋）を示した図である。CAMセル10はCMOSトランジスタからなるインバータの出力を他方のインバータの入力に互いに接続したインバータ対からなるデータ保持部11と、ビットライン12、13とデータ保持部10との間に設けられたNMOSトランジスタからなるトランスファゲート14、15を有している。このトランスファゲート14、15のゲートにはワードラインが接続されている。さらに、CAMセル10はビットライン12、13に直列接続されたNMOSトランジスタ16、17を有している。トランジスタ16、17のゲートは各インバータの出力に接続されている。また、トランジスタ16、17間のビットマッチノード18はNMOSトランジスタ19のゲートに接続されている。トラ

ンジスタ19はワードマッチライン20に接続され、ワードマッチライン20の駆動用トランジスタとして機能する。

【0004】 図1のCAMセル10は、低消費電力化と高速化に関わる以下のような問題点を有している。すなわち、リード動作のために、ビットライン12、13はハイレベルにプリチャージされる。この時トランジスタ16または17がオンしているので、ビットマッチノード18がハイレベルになる。そして、駆動用トランジスタ19がオンして、ワードマッチライン20はロウレベルに放電される。一方、サーチ動作のために、ワードマッチライン20はハイレベルにプリチャージする必要がある。この時、ビットライン12、13はロウレベルに固定する必要がある。

【0005】 したがって、待機状態でリード動作に備えている場合に、サーチ要求が来た場合、サーチ動作に入る前にビットライン12、13をいったん放電する必要がある。その後、ワードマッチライン20をハイレベルに充電し、ここで初めてサーチ動作に入ることになる。その結果、ビットライン12、13の放電分だけ電力が無駄に消費され、サーチ動作に入る時間も遅くなる。ビットライン12、13は容量が大きく、サーチのためには全てのビットラインを放電しなければならない。従って、ここで無駄に捨てられる電力は極めて大きいのみならず、接地線にのるノイズの問題もでてくる。また、サーチ終了後、待機状態でリード動作に備えるために、ビットライン12、13はプリチャージされるが、サーチ動作前にプリチャージされて、データが一致していたために放電されなかったワードマッチライン20上の電力も、この過程で無駄に消費（放電）される。

【0006】 一方、待機状態でサーチ動作に備えた場合、リード要求が来ると、リード動作に入る前に全ビットラインをプリチャージ状態に充電する必要があり、この過程で全てのワードマッチラインは放電される。リード後は、全ビットラインを放電し、全ワードマッチラインをプリチャージする。従って、この場合も電力が無駄に消費され、リード動作に入る時間も遅くなる。また、ビットライン充電電流のため、電源線のノイズに対して考慮を払わねばならない。なお、図1の従来のCAMセル10では、リード時（ライト時）とサーチ時とで、ビットライン12、13上のデータの極性（ハイまたはロー）を逆にする必要があるという欠点もある。

【0007】 図2は従来のCAMワード回路の例を示した図である。ワードマッチライン20には複数のCAMセル10が並列に接続されている。ワードマッチライン20上の信号はバッファ23を介してマッチ信号として出力される。また、ワードマッチライン20にはプリチャージ回路21が接続され、プリチャージ信号22に応じてワードマッチライン20をプリチャージする。

【0008】 図2のCAMワード回路は、特に消費電力

に関わる以下のような問題点を有している。すなわち、図2のCAMセル回路は、データ不一致のワードでマッチライン20が電源電位から接地電位まで放電させられるので、消費電力が大きい。CAMでは、サーチ動作で入力データがすべての記憶セルに送り込まれ、記憶しているデータと比較されるが、図2の構成を含む従来の回路形式では、ワードとして一致しないアドレスのワードマッチラインは全部放電させられるため、ワードマッチラインの充放電電力は全体の消費電力を大きく左右する。具体的には、ワードマッチラインの全静電容量をC、充電時と放電時の電位差をV、サーチ動作周波数をfとすると、ワードマッチラインの消費電力は $fCV^2$ となり、電圧振幅Vの平方に比例する。したがって、ワードマッチラインの電圧振幅が大きいことは低消費電力化を達成する上で極めて不利である。

#### 【0009】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の問題点を解消することである。具体的には、高速で低消費電力なCAMセルおよびCAMワード回路を提供することである。

#### 【0010】

【課題を解決するための手段】本発明によれば、インバータの出力を他方のインバータの入力に互いに接続したインバータ対(11)と、前記インバータ対の各インバータの出力と一対のビットライン(12、13)との間に設けられ、接続されたワードライン上の信号に応じてオン、オフする一対の第1および第2スイッチ(14、15)と、前記一対のビットラインとビットマッチノード(18)との間に設けられ、前記インバータ対の各インバータの出力信号によってオン、オフする一対の第3および第4スイッチ(16、17)と、ワードマッチライン(20)と前記ビットマッチノードとに接続され、前記ビットマッチノードの電位によってオン、オフし、前記ワードマッチラインを放電するための第5スイッチ(25)と、を含む連想メモリ(CAM)セル(30)であって、第5スイッチが前記ビットマッチノードの電位が低い場合にオンし高い場合にオフすることを特徴とするCAM(30)セルが提供される。

#### 【0011】本発明によれば、ワードマッチライン

(20)と、前記ワードマッチラインに並列接続された複数の連想メモリ(CAM)セル(35)とを含む連想メモリ(CAM)ワード回路(40)であって、前記CAMセルは、インバータの出力を他方のインバータの入力に互いに接続したインバータ対(11)と、前記インバータ対の各インバータの出力と一対のビットラインとの間に設けられ、接続されたワードライン上の信号に応じてオン、オフする一対の第1および第2スイッチ(14、15)と、前記一対のビットラインとビットマッチノードとの間に設けられ、前記インバータ対の各インバータの出力信号によってオン、オフする一対の第3およ

び第4スイッチ(16、17)と、ワードマッチラインと前記ビットマッチノードとに接続され、前記ビットマッチノードの電位によってオン、オフし、前記ワードマッチラインを駆動するための第5スイッチ(25)と、を含み、さらに、第5スイッチが前記ビットマッチノードの電位が低い場合にオンし、高い場合にオフすることを特徴とする、CAMワード回路が提供される。

【0012】本発明によれば、ワードマッチライン(20)と、前記ワードマッチラインに並列接続された複数の連想メモリ(CAM)セル(35)と、前記ワードマッチラインを充電するための充電回路(21)と、前記充電回路と前記ワードマッチラインとの間に設けられた電圧制御用デバイス(41)と、前記ワードマッチライン上に設けられ、前記ワードマッチライン上の信号を検出し増幅するためのセンスアンプ回路(42)を含む連想メモリ(CAM)ワード回路(40)が提供される。

#### 【0013】

【発明の実施の形態】図3は本発明のCAMセルの一実施例を示した図である。CAMセル30はCMOSトランジスタからなるインバータの出力を他方のインバータの入力に互いに接続したインバータ対からなるデータ保持部10と、ビットライン11、12とデータ保持部10との間に設けられたNMOSトランジスタからなるトランスファゲート13、14を有している。このトランスファゲート13、14のゲートにはワードラインが接続されている。さらに、CAMセル10はビットライン11、12に直列接続されたNMOSトランジスタ16、17を有している。トランジスタ16、17のゲートは各インバータの出力に接続されている。トランジスタ16、17間のビットマッチノード18はPMOSトランジスタ25のゲートに接続されている。トランジスタ25はワードマッチライン20に接続され、ワードマッチライン20の放電(駆動)用トランジスタとして機能する。従来のCAMセル10と比較した本発明の構成上の新規な点は、駆動用トランジスタ25をNMOSトランジスタからPMOSトランジスタに代えたことである。これにより、本発明のCAMセルでは、ビットライン上の信号極性はリード時、ライト時およびサーチ時の全てにおいて共通となる。

【0014】図3のCAMセル30の動作について説明する。CAMセル30の記憶データを読みだす場合、まずビットライン12、13をハイレベル(例えば電源電位)にプリチャージした後、ワードラインをハイレベルとし、トランスファゲート13、14を導通状態とする。すると、図の左側のインバータ11aの出力に応じたレベルにビットライン12のレベルがなると共に、右側のインバータ11bの出力に応じたレベルにビットライン13のレベルがなる。そして、トランジスタ16または17がオンして、ビットマッチノード18がハイレベルになる。この時、駆動用トランジスタ(PMOS)

25がオフのままで、ワードマッチライン20はハイレベルを維持する。

【0015】CAMセル30へデータを記憶させる場合も、まずビットライン12、13をハイレベルにプリチャージした後、ワードラインをハイレベルとして、トランスファゲート14、15を導通状態として、その後、記憶させたい情報のレベルにビットライン13のレベルをし、これと反対のレベルにビットライン12のレベルをする。この場合も、記憶情報を読み出す場合と同様に、駆動用トランジスタ(PMOS)25がオフのままで、ワードマッチライン20はハイレベルを維持する。

【0016】次に、CAMセル30のデータを検索(サーチ)する場合、マッチラインをハイレベルにプリチャージする。この場合、従来のように、前もってビットライン12、13をローレベル(例えば接地電位)にプリチャージする必要はない。次に、例えば、データ保持部10にローレベルが記憶されているか否か検索する場合、ビットライン12をローレベルに、ビットライン13をハイレベルにする。このとき、実際にデータ保持部10にローレベルの情報が記憶されていると(インバータ11aの出力をデータ保持部10の記憶情報とする。)、トランジスタ16が非導通状態に、トランジスタ17が導通状態となる。また、ビットライン13がハイレベルであるので、ビットマッチノード18がハイレベルとなり、駆動用トランジスタ(PMOS)25がオフしたままで、マッチライン20はハイレベルを維持する。また、データ保持部10の記憶データがハイレベルであると、トランジスタ16は導通状態であるが、トランジスタ17は非導通状態となる(インバータ11bの出力がローレベルであるため)。また、ビットライン12がローレベルであるので、駆動用トランジスタ25はオンし導通状態となる。従って、マッチライン20は、ローレベルに放電される。即ち、サーチ情報と記憶情報とが一致すると、マッチライン20はハイレベルを維持し、サーチ情報と記憶情報とが不一致であると、マッチライン20がローレベルとなる。

【0017】以上本発明のCAMセル30の動作について説明したが、CAMセル30は従来のCAMセル10との差異において以下のような特徴を有している。図1で、リード動作に備えるためにビットライン12、13をハイレベルにプリチャージすると、比較回路の出力即ちワードマッチライン駆動トランジスタ25のゲートノードの電位Vは

$$V = (\text{電源電位 } V_{cc}) - (\text{MOSトランジスタの } V_t)$$

となる。ワードマッチラインを電位Vから電源電位V<sub>cc</sub>までのハイレベルにプリチャージしてもトランジスタ25はオンにならない。これは、ワードマッチラインをサーチ動作のプリチャージ状態にしていることになる。その結果、待機時にこの状態をとることにより、リード動

作とサーチ動作の両方に備えることができる。そして、いかなる動作の要求がきても、無駄な電力を捨てることなく、即座にいずれの動作にも入ることができる(リード動作とライト動作の待機状態はもともと同じである)。

【0018】上述したように、入力データの該当ビットが記憶しているデータビットと一致した場合、駆動用トランジスタ25のゲートノードはハイレベルにとどまり、トランジスタ25はオフ状態を維持するので、ワードマッチラインを放電しない。並列に接続されたすべてのビットで一致が検出された場合は、ワードマッチラインは放電されず、ハイレベルにとどまってワードの一致を示すことになる。ワードを構成するビットのどれかで不一致が検出されると、そのビットのセル内のワードマッチライン駆動トランジスタがオンとなり、ワードマッチラインは放電されて不一致を示す。

【0019】図4は本発明のCAMワード回路の例を示した図である。ワードマッチライン20には複数のCAMセル35が並列に接続されている。なお、CAMセル35は、図3に示した本発明のCAMセル30のほか、いかなる構成のCAMセル(例えば図1のCAMセル10)であってもよい。ワードマッチライン20上の信号はセンスアンプ42を介してマッチ信号として出力される。また、ワードマッチライン20には、NMOSTランジスタ41を介してプリチャージ回路21が接続されている。

【0020】図4の本発明のCAMワード回路の動作について、CAMセル35として図3のCAMセル30を用いた場合を例として説明する。プリチャージ期間に、ワードマッチライン20はNMOSTランジスタ41を介してプリチャージ回路21により充電される。ここでワードマッチラインの充電状態での電位は、電圧制限用に使われているNMOSTランジスタ41のゲート電位より閾値電圧分だけ低い電位である。NMOSTランジスタ41のゲートを電源電位にした場合は電源電位より閾値電圧分だけ低い電位となる。このNMOSTランジスタ41には、ワードマッチライン20の電位が上がってくると大きなバックゲートバイアスがかかることになるので、その閾値電圧はバックゲートバイアス効果により大きくなり、ワードマッチラインの電位はその分更に低下する。また、NMOSTランジスタ41のゲート電位を下げることにより、ワードマッチライン20の充電状態での電位を更に下げることができる。

【0021】プリチャージ後、サーチ動作に入ると、ビットライン対にデータが載せられCAMセル35内に記憶されているデータと比較される。ワード内のどれかのビットで不一致が検出されると、そのビットのCAMセル内のワードマッチライン駆動PMOSTランジスタ25(図3)がオンとなり、ワードマッチライン20上の電荷を引き抜く。ワードマッチライン20の電位があ

る程度下がると、センスアンプ42がこれを検出する。ここで、ワードマッチライン20の電位は、最も低くなったときでも、駆動用PMOSトランジスタ25(図3)のゲート電位より閾値電圧分だけ高くなる。更に、ワードマッチライン20の電位が下がってくるとCAMセル35内の駆動用PMOSトランジスタ25(図3)にはバックゲートバイアスが強くかかることになり、閾値電圧は大きくなる。その結果、PMOSトランジスタ25のゲートを接地電位まで駆動しても、ワードマッチライン20の電位は、接地電位より閾値電圧分だけ高い電位までしか下がらず、ゲートの電位を上げることにより、更にワードマッチライン20の電位を上げることができる。

【0022】以上をまとめると、ワードマッチライン20の電圧振幅は、接地電位よりバックゲートバイアスのかかったPMOSトランジスタ25(図3)の閾値電圧分高い電位と、電源電位よりバックゲートバイアスのかかったNMOSトランジスタ41の閾値電圧分低い電位との範囲内に抑えられ、また更にその範囲を小さくすることも可能である。その結果、ワードマッチラインの電圧振幅が小さくなり、消費電力を軽減することができる。

【0023】さらに、ワードマッチライン20の充電電位を低くすることは、消費電力を下げる以外に次のような効果を持つ。ワードマッチライン20はCAMセル30内のワードマッチライン駆動用のPMOSトランジスタ25のソース端であるので、このトランジスタのサブスレッショルド電流を抑えるためには、このPMOSトランジスタ25のゲート電位はワードマッチラインの電位より高くなければならない。従って、もしワードマッチライン20のプリチャージ電位が電源電位であればPMOSトランジスタ25のゲート電位を電源電位程度に高くしなければならぬ。そのためには、CAMセル内の比較回路を構成するトランジスタもPMOSにするか、ビットラインの電位を上げる(ブーストする)必要がある、いずれにせよ比較回路の高速性を犠牲にすることになる。つまり、ワードマッチラインのプリチャージ電位を低くすることは、セル内の比較回路にNMOSトランジスタを用いながらビットラインのブーストを不要とすることを可能とすることにより、サブスレッショルド電流を抑えながら高速性を確保することにも寄与している。

【0024】図5は本発明のCAMワード回路40(図4)で使用されるセンスアンプ42の一例を示した図である。CMOSからなるインバータ51、52を2段巡回接続し、各インバータのソース端に直列にセンス用

(NMOS)トランジスタ53、54のドレインを接続する。また、各インバータの出力にはプリチャージ用の(PMOS)トランジスタ56、57が接続されている。図5の例では、両センス用トランジスタ53、54

のゲートに差動入力信号を接続し、両センス用トランジスタのソースを両センス用トランジスタに共通のノードとして定電流源(NMOSトランジスタ)55に接続する回路形式の差動センスアンプを用いている。そして、差動センスアンプを簡便なレファレンス電位Vrefを利用してシングルエンドで用いるために、ふたつのセンス用トランジスタ53、54の固有の駆動力に適切な差を持たせる。すなわち、センス用トランジスタ53、54の構造パラメータ $\beta$ 、例えばチャネル幅Wとチャネル長さLの比( $W/L$ )を異なる値とすることによって、両センス用トランジスタの固有の駆動力に適切な差を持たせる。具体的には( $W/L$ )比を大きくすることによりセンス用トランジスタの固有の駆動力を大きくすることができる。

【0025】固有駆動力の小さい( $W/L$ )比の小さいセンス用トランジスタ54のゲート端子をレファレンス電位Vrefの供給源に接続し、固有駆動力の大きい( $W/L$ )比の大きいセンス用トランジスタ53のゲートにワードマッチライン60を直接あるいは、何らかの電圧あるいは電流制限用デバイスを介して、接続する。図5では、トランジスタ59を介して接続している。ここで固有駆動力の大きい方のセンス用トランジスタ53のゲート端子をセンス点Sと呼ぶことにする。ここで、レファレンス電位としては、特にレファレンス電位発生回路を必要としない電位を想定すればよく、図5のように、センス用デバイスがNMOSである場合は、レファレンス電位の供給源は回路全体の電源でもよい。勿論、高度に洗練されたものも含めてどのようなものであれレファレンス電位発生回路を用いることを妨げるものではない。

【0026】ここで、図5のセンスアンプ回路の動作について説明する。プリチャージ期間に、ワードマッチライン60は、プリチャージ用トランジスタ58によって充電される。この時、センス点Sはレファレンス電位(電源電位)まで充電される。電圧制限用NMOSトランジスタ59はあってもなくてもよいが、ある場合にはワードマッチライン60は電源電位よりトランジスタ59の閾値電圧分だけ低い電位まで充電され、ない場合には電源電位まで充電される。このNMOSトランジスタ59は、ワードマッチライン60の電位が上がってくると大きなバックゲートバイアスがかかることになり、閾値電圧はバックゲートバイアス効果により大きくなり、ワードマッチラインの電位60はその分更に低くなる。いずれにせよ、センス点Sは電源電位(レファレンス電位)まで充電され、この状態でセンス開始を待つ。

【0027】プリチャージ状態で、センスアンプ活性化信号Vaは"1"に固定し、センスアンプは準備状態にある。この時、センスアンプの共通ノード(セットノードと呼ぶ)61は電源電位よりNMOSのしきい電圧V

t分だけ低い電位になっている。その結果、センスアンプには電流が流れない。

【0028】プリチャージ後、サーチ動作に入ると、上述したように、ビット線対にデータが載せられセル内に記憶されているデータと比較される。ワード内の少なくともひとつのビットで不一致が検出されると、そのビットのセル内のワードマッチライン駆動用トランジスタがオンとなり、ワードマッチライン上の電荷を引き抜く。入力データと一致したワードのマッチラインは電位が変化せず、センス点Sは電源電位にとどまる。不一致のワードのセンス点Sの電位がある程度下がった時点を見計らって、センスアンプの活性化信号Vaを”H”に駆動して、センスアンプを活性化する。このタイミングは、DRAM等でよく行われているように、センス点Sの動きをシミュレートする適当な回路を使って作ってもよい。

【0029】入力データと一致したワードのセンスアンプの差動入力とは両方とも電源電位にあるが、センス点Sを受けているセンス用トランジスタ53の方がレファレンス電位（この場合は電源電位）を受けているセンス用トランジスタ54より駆動力が大きいので、センスアンプはあたかもセンス点の方がレファレンス点よりも電位が高いかのような動作をして、センス点は”H”であると認識される。

【0030】入力データと一致しなかったワードのマッチライン60は電位が下がっているので、センスアンプ内ではレファレンス電位につながれたセンス用トランジスタ54がセンス点につながれたセンス用トランジスタ53より先にオンとなりノード62の電位が下がり始める。セットノード61が更に下がったところでセンス用トランジスタ53もオンになる。しかしながら、センス用トランジスタ53のゲートのオーバードライブがセンス用トランジスタ54に比べて弱いこと、およびノード62が既に幾分下がっているため、インバータ51を構成するNMOSTランジスタ63の駆動力が、インバータ52を構成するNMOSTランジスタ64よりも弱いことから、センス点Sの電位がある程度以上下がれば、固有駆動力の強いトランジスタ53をもってしてもノード62とノード65の電位が逆転することない。そして、ノード62は更に下がって接地レベルに到達し、ノード65は電源電位に固定される。即ち、センス点Sは”L”であると認識され、「一致しなかった」という信号がセンスアンプ出力として出力される。

【0031】ここで、センス点Sの電位がどの程度下がった場合に”L”と認識されるかは、センス用トランジスタ53、54の固有駆動力の違いによるので、(W/L)を適当に設定することで容易に調節できる。また、トランジスタ固有の閾値電圧Vtにも依存しない。ノイズマージンを考慮してそれぞれの固有駆動力を決定すれば良い。

【0032】このように、本発明のセンスアンプ42によれば、微小な信号がセンス点に現れた時点でワードが一致したかどうかの信号を後段に伝えることができるのでサーチ動作が高速化される。この効果はワード幅が大きくなるほど、ワードマッチラインの寄生容量が大きくなりワードマッチラインの動きが鈍くなるので、さらに大きくなる。

【0033】また、増幅終了後のセンスアンプの出力VMATCHは、センス点Sが電源電位レベル付近にあるかそれより低い電位にあるかによって、電源電位か接地電位になる。この時、センスアンプの入力であるVINは設定されたセンスアンプの入力感度分（通常300mVから700mV程度）だけ動けば良いので、そのようにマッチラインを制御することによりセンスアンプ入力を駆動するマッチライン60の充放電電流は大幅に低減される。

【0034】さらに、増幅終了後、増幅結果は、センスアンプ内のトランジスタ53、54が導通状態である限り、ラッチされ維持される。これはこのセンスアンプの優れた特徴のひとつである。従って、センシングを終われば直ちにプリチャージ制御信号Vbを”L”にしてセンス点Sとマッチライン60をプリチャージし、サーチ結果を維持し出力しながら次のサーチ動作に備えることができる。即ち、サーチ動作のサイクルタイムを短くできる。また、増幅完了後、即ちラッチ完了後は、電源から接地にいたる経路が遮断されるので、センスアンプを流れる電流はない。

【0035】上述したように、マッチライン60の電圧制限用に挿入されているトランジスタ59は無くても良いが、ある場合にはマッチライン60のプリチャージ電位が電源電位よりトランジスタのVt分低い電位に抑えられることになり、マッチラインの充放電電力が更に低減される。それだけでなく、マッチラインが下がり始めた時のセンス点Sの応答がチャージシェアにより速くなるという利点もある。

【図面の簡単な説明】

【図1】従来のCAMセルの例を示した図である。

【図2】従来のCAMワード回路の例を示した図である。

【図3】本発明のCAMセルの一実施例を示した図である。

【図4】本発明のCAMワード回路の例を示した図である。

【図5】本発明のCAMワード回路40（図4）で使用するセンスアンプ42の一例を示した図である。

【符号の説明】

10、30、35 CAMセル

11 インバータ対からなるデータ保持部

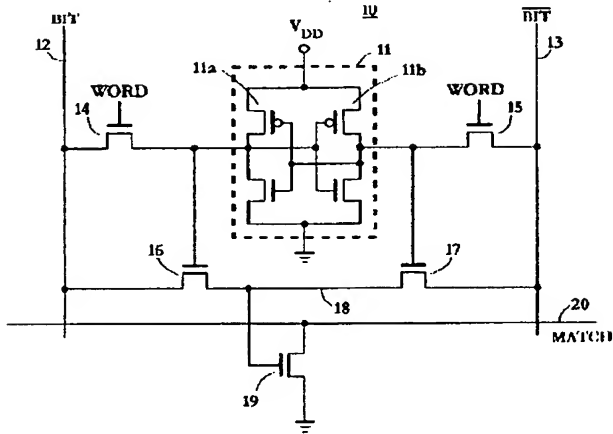
12、13 ビットライン

14、15 トランスファゲート

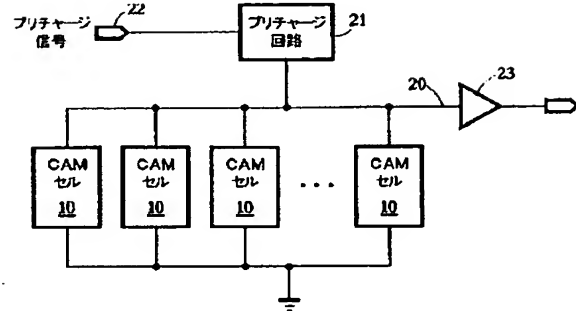
- 16、17 トランジスタ  
 18 ビットマッチノード  
 19、25 ワードマッチライン駆動用トランジスタ  
 20 ワードマッチライン  
 21 プリチャージ回路  
 22 プリチャージ信号

- 23 バッファ  
 40 CAMワード回路  
 41 NMOSトランジスタ  
 42 センスアンプ  
 43 センス信号

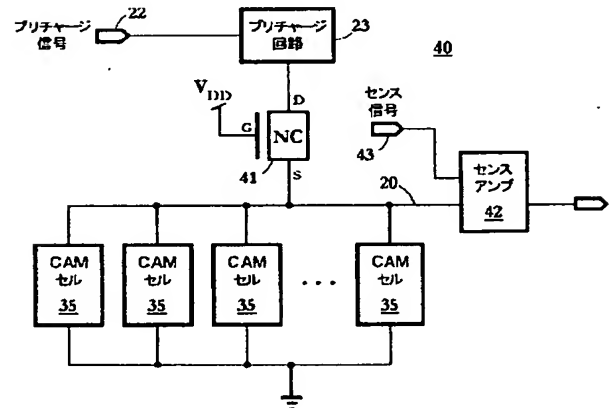
【図1】



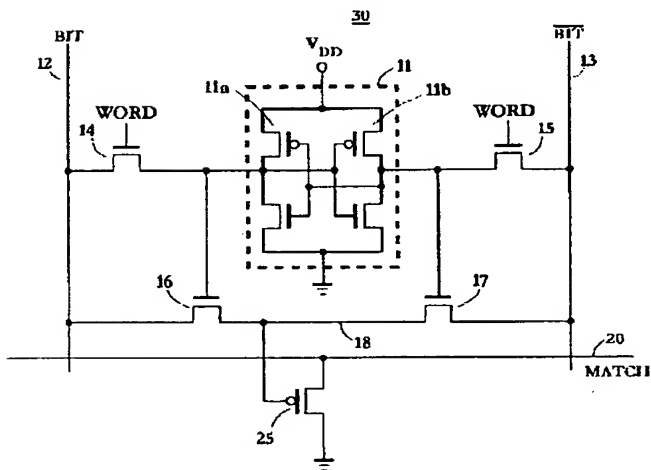
【図2】



【図4】

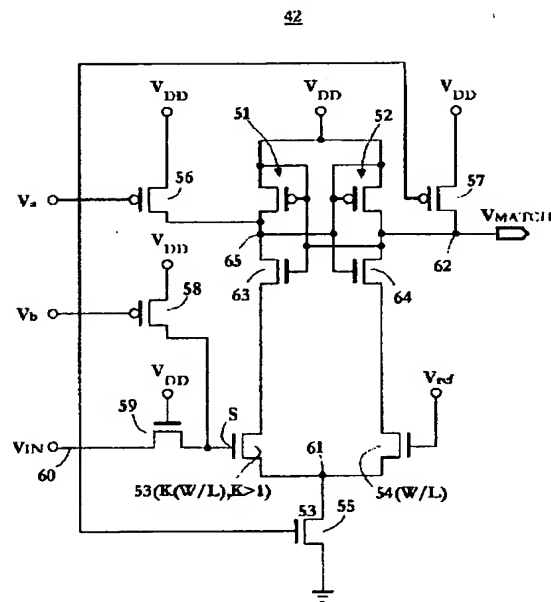


【図3】





【図5】



フロントページの続き

(72)発明者 宮武 久忠  
滋賀県野洲郡野洲町大字市三宅800番地  
日本アイ・ビー・エム株式会社 野洲事業  
所内

(72)発明者 田中 正浩  
滋賀県野洲郡野洲町大字市三宅800番地  
日本アイ・ビー・エム株式会社 野洲事業  
所内

(72)発明者 森 陽太郎  
滋賀県野洲郡野洲町大字市三宅800番地  
日本アイ・ビー・エム株式会社 野洲事業  
所内